

Family list

3 family member for:

JP62131578

Derived from 1 application.

1 MANUFACTURE OF THIN FILM TRANSISTOR

Publication info: **JP1894283C C** - 1994-12-26

JP6018215B B - 1994-03-09

JP62131578 A - 1987-06-13

Data supplied from the *esp@cenet* database - Worldwide

MANUFACTURE OF THIN FILM TRANSISTOR

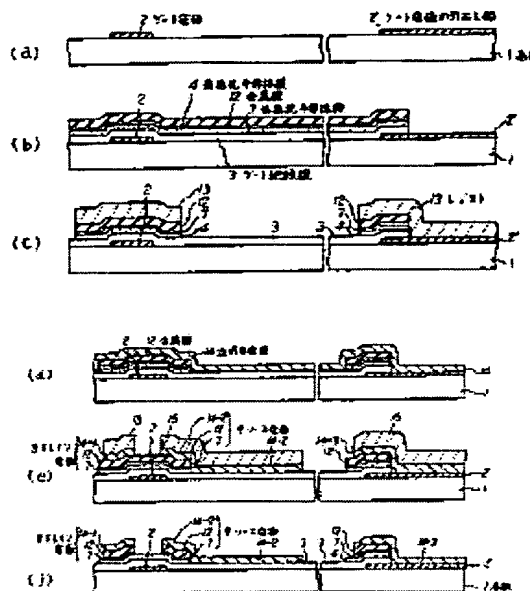
Patent number: JP62131578
 Publication date: 1987-06-13
 Inventor: MONOBUKURO SHUNICHI
 Applicant: SEIKO INSTR & ELECTRONICS
 Classification:
 - international: H01L29/786; H01L29/66; (IPC1-7): G02F1/133; G09F9/35; H01L27/12; H01L29/78
 - european: H01L29/786
 Application number: JP19850271987 19851203
 Priority number(s): JP19850271987 19851203

Report a data error here

Abstract of JP62131578

PURPOSE: To improve a contact characteristic, by forming a high resistance semiconductor film, a low resistance semiconductor film and a metal film on a gate electrode and on a part of a gate-electrode taking out part, forming a transparent conductor film after etching, and removing the metal film and the low resistance semiconductor film with the transparent conductor film as a mask.

CONSTITUTION: On an insulating substrate 1, a gate electrode 2 and a gate-electrode taking out part 2' for external connection are selectively formed. Then, the gate-electrode taking out part 2' is masked except a part thereof. A gate insulating film 3, a high resistance semiconductor film 4, a low resistance semiconductor film 7 and a metal film 12 are successively deposited. Then, with resist 13 as a mask, selective etching is performed. An oxide film layer on the surface of the metal film 12 is removed. Thereafter, a transparent conductor film 14 is continuously deposited. With resist 15 as a mask, etching is performed. A source electrode 14-2 and a drain electrode 14-1, which serve the hole of picture element electrodes, and a transparent conductor film 14-3, are formed. With these parts as masks, the metal film 12 and the low resistance semiconductor film 7 are selectively removed. Then the resist 15 is peeled off. Thus an excellent contact characteristic for the source, the drain and the gate electrode taking out part can be obtained.



Data supplied from the esp@cenet database - Worldwide

⑫ 公開特許公報(A)

昭62-131578

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)6月13日

H 01 L 29/78
G 02 F 1/133
G 09 F 9/35
H 01 L 27/12

3 2 7
3 0 1

8422-5F
8205-2H
6731-5C
7514-5F

審査請求 未請求 発明の数 1 (全8頁)

⑭ 発明の名称 薄膜トランジスタの製造方法

⑯ 特 願 昭60-271987

⑰ 出 願 昭60(1985)12月3日

⑱ 発 明 者 物 袋 俊 一 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

⑲ 出 願 人 セイコー電子工業株式会社 東京都江東区亀戸6丁目31番1号

⑳ 代 理 人 弁理士 最 上 務 外1名

明 細 書

1. 発明の名称

薄膜トランジスタの製造方法

2. 特許請求の範囲

(1) a) 絶縁基板上にゲート電極を選択的に形成する第1工程

b) 少なくとも前記ゲート電極引出し部の一部をマスクして、ゲート絶縁膜、高抵抗半導体膜、低抵抗半導体膜、金属膜を連続して堆積する第2工程

c) 少なくとも前記ゲート電極上とゲート電極引出し部の一部に前記高抵抗半導体膜と低抵抗半導体膜と金属膜をほぼ同一形状に残す第3工程

d) 前記金属膜表面の酸化膜層を除去後、連続して透明導電膜を堆積する第4工程

e) 前記透明導電膜を画素電極を兼ねるソース電極とドレイン電極配線とゲート電極引出し部に選択的に形成する第5工程

(1) 前記金属膜と低抵抗半導体膜を、前記透明導電膜を少なくともマスクの一部として選択的に除去する第6工程とから成る薄膜トランジスタの製造方法。

(2) 第3工程において、同一マスクにて金属膜エッチング後、低抵抗半導体膜と高抵抗半導体膜をエッチングして、金属膜が高抵抗半導体膜と低抵抗半導体膜よりも小さいパターンになるように再度金属膜をエッチングすることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタの製造方法。

(3) 第3工程において、同一マスクにて金属膜エッチング後、レジストが変形し、レジストの端部が上記金属膜の端部よりも外側まで拡がる温度で熱処理して、低抵抗半導体膜と高抵抗半導体膜をエッチングすることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタの製造方法。

(4) 第6工程において、第5工程終了後レジストが変形する温度で熱処理後、金属膜と低抵抗半導体膜を選択的に除去することを特徴とする特許請

求の範囲第1項記載の薄膜トランジスタの製造方法。

(5) 前記高抵抗半導体膜の膜厚は500Å以下で、前記低抵抗半導体膜の膜厚は200Å以下であることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタの製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、アクティブマトリクス液晶表示装置における低コストで高歩留まりの薄膜トランジスタの製造方法に関するものである。

(発明の概要)

絶縁基板の上にゲート電極を形成し、ゲート電極引出し部の一部をマスクして、ゲート絶縁膜と、極めて薄い高抵抗半導体膜と極めて薄い低抵抗半導体膜と金属膜を連続して堆積し、ゲート電極上とゲート電極引出し部の一部に高抵抗半導体膜と低抵抗半導体膜と金属膜をほぼ同一形状に選択的に形成し、スパッタエッチング後連続して透明導

て堆積し、高抵抗半導体膜4を選択エッチする。次に二酸化シリコン等の層間絶縁膜5、ITO等の透明導電膜である画素電極6を堆積し、画素電極6を選択エッチした断面図を示す第6図(c)では、層間絶縁膜5を開孔した状態を示す。第6図(d)は、低抵抗半導体膜7(例えばN⁺アモルファスシリコン膜)とAl等の金属膜を堆積し、選択エッチによってドレイン電極8、ソース電極9、ゲート引出し電極10を形成した状態を示す。またソース電極9と画素電極6は接続されている。第6図(e)は、二酸化シリコン等の表面保護膜11を堆積し、画素電極6とゲート引出し電極10の一部の表面保護膜11をエッチして露出させた断面図を示す。なお図示していないが、ドレイン電極引出し部の表面保護膜11もエッチして、外部とのコンタクトが出来るように形成している。また表面保護膜11は、遮光も兼ねていたり、表面保護膜11上に遮光膜を形成する場合が多い。

(発明が解決しようとする問題点)

従来のアクティブマトリクス表示装置用基板の

電極を堆積し、透明導電膜をソース電極とドレイン電極とゲート電極の引出し部に選択的に形成し、金属膜と低抵抗半導体膜を透明導電膜をマスクの一部として選択的に除去する工程の薄膜トランジスタによって、遮光不要で、製造工数が少なく(3枚マスク工程)、ソース電極部とドレイン電極部の良好なコンタクト状態を得、低コストのアクティブマトリクス液晶表示装置基板である薄膜トランジスタが出来るようにしたものである。

(従来の技術)

例えば、アモルファスシリコン(a-Si)を用いた従来のアクティブマトリクス液晶表示装置における表示装置用基板である薄膜トランジスタの製造方法の例を第6図(a)~(e)に示す。第6図(a)は、ガラス等の絶縁基板1上にCr、Al、Mo等のゲート電極2をスパッタ装置等で堆積後、選択的に形成した断面図を示す。ゲート電極2の引出し部2'も図示している。第6図(b)は、二酸化シリコン、窒化シリコン等のゲート絶縁膜3、アモルファスシリコン等の高抵抗半導体膜4を連続し

薄膜トランジスタの製造方法においては、第6図の例に示したようにマスク工程が多く(6回以上)低コストの表示装置用の薄膜トランジスタが提供できない。また層間絶縁膜5、ゲート絶縁膜3を開孔するために、遮光膜を形成しなくてもよい極めて薄い高抵抗半導体膜4(例えばアモルファスシリコン膜で500Å以下の膜厚)を形成したとき、ゲート電極引出し部2'上のゲート絶縁膜3が完全に開孔するまでエッチングすると、アモルファスシリコン膜4のピンホール等のためトランジスタ部のゲート絶縁膜3がエッチングされて、耐圧低下あるいはショート等が発生して、画素欠陥、ライン欠陥等が発生し歩留まりが悪くなる。また、ゲート電極引出し部2'のゲート絶縁膜3が完全にエッチングされたかどうかの判断がむずかしく、完全に開孔されずに次工程に進むと欠陥となる。またゲート引き出し電極とゲート電極引出し部2'の良好なコンタクトを得るのも困難である。また、高抵抗半導体膜4を堆積後、エッチング工程等を経てから低抵抗半導体膜7(例えば

N⁺アモルファスシリコン膜)を堆積すると、高抵抗半導体膜4の表面に自然酸化膜が生じて、低抵抗半導体膜7との良好なコンタクトが得られず、トランジスタ特性が悪くなる欠点があった。

(問題点を解決するための手段)

上記問題点を解決するために本発明は、ゲート絶縁膜、高抵抗半導体膜、低抵抗半導体膜、金属膜をゲート電極引出し部の一部をメタルマスク等でマスキングして連続堆積し、ゲート電極上とゲート電極引出し部の一部に高抵抗半導体膜、低抵抗半導体膜、金属膜をほぼ同一形状に選択形成し、スパッタエッチング後透明導電膜を形成し、透明導電膜をソース電極とドレイン電極とゲート電極引出し部に選択形成後、選択形成した透明導電膜をマスクの一部として、金属膜と低抵抗半導体膜を選択除去することによって、上記問題点を解決するようにした。

(作用)

上記のように構成されたアクティブマトリクス表示装置用の薄膜トランジスタは、3回のマスク

4. 低抵抗半導体膜7、金属膜12を連続して堆積し、ゲート電極引出し部2'上に上記膜が堆積されない状態を示す。例えば、プラズマCVD装置において真空をやぶることなく、SiH₄とNH₃の混合ガスからゲート絶縁膜3として窒化膜(SiN_x)、SiH₄を用いて高抵抗半導体膜4としてアモルファスシリコン膜(a-Si:H)、PH₃とSiH₄の混合ガスから低抵抗半導体膜7としてN⁺アモルファスシリコン膜(N⁺a-Si:H)を連続的に形成する。次に金属膜12は、スパッタまたは蒸着機でCr、Ni、NiCr等を形成する。なお、プラズマCVDとスパッタから成るインライン型の装置を用いると上記ゲート絶縁膜3、a-Si:H膜4、N⁺a-Si:H膜7、金属膜12が、大気に出すことなく連続的に堆積できる。また金属膜12は、後述するドレイン電極配線の一部となり配線抵抗を小さくする上で有効である。またITOとN⁺a-Si:H膜7は有効なコンタクト特性が得にくい、金属膜12(Cr、Ni、NiCr)等を利用してITOとコンタクトするので有効な特性が得

工程で出来るばかりでなく、ソース電極、ドレイン電極、ゲート引出し電極部のコンタクトが良好で、しかも遮光膜の必要ない低コストアクティブマトリクス表示装置用の薄膜トランジスタを提供できる。

(実施例)

以下に本発明の実施例を図面に基づいて詳細に説明する。

第1図(a)~(f)と第2図(a)~(f)は、本発明の第一実施例であるアクティブマトリクス表示装置用の薄膜トランジスタの単位画素部及びゲート電極引出し部の平面図と断面図の例を示す。その製造方法は以下に述べる通りである。第1図(a)(第2図(a)は第1図(a)のA-A'線に沿った断面図)は、ガラス等の絶縁基板1上にCr、Ni、NiCr等でゲート電極2と外部取出し用のゲート電極引出し部2'を選択的に形成した状態を示す。第1図(b)(第2図(b)は第1図(b)のB-B'線に沿った断面図)は、ゲート電極引出し部2'を金属マスク等でマスキングして、ゲート絶縁膜3、高抵抗半導体膜

られる。

第1図(c)(第2図(c)は第1図(c)のC-C'線に沿った断面図)は、レジスト13を塗布、露光、現像を行った後、レジスト13をマスクにして金属膜12、低抵抗半導体膜7、高抵抗半導体膜4を連続して選択的にエッチングした状態を示す。この時、ゲート電極引出し部2'上もレジスト13を残し、金属膜12のエッチング時ゲート電極引出し部2'がエッチングされないようにすることが重要である。第1図(d)(第2図(d)は第1図(d)のD-D'線に沿った断面図)は、金属膜12表面の酸化膜層を除去(例えばスパッタエッチングまたはプラズマエッチング等)後、連続してITO等の透明導電膜14を堆積した状態を示す。金属膜12表面の酸化膜層を除去して大気にさらすことなく透明導電膜14を堆積している、良好なコンタクトが得られる。第1図(e)(第2図(e)は、第1図(e)のE-E'線に沿った断面図)は、レジスト15を塗布後、露光、現像を行った後、透明導電膜14をエッチングして画素電極を兼ね

るソース電極9(14-2)、ドレイン電極8(14-1)を形成した状態を示す。この時、ゲート電極引出し部2'上にも透明導電膜14-3が形成されるようにする。透明導電膜14-3を形成しないと透明導電膜14-3エッチングの時(主に塩酸でエッチング)、ゲート電極引出し部2'がエッチングされるのと、次の工程で金属膜12をエッチングするとき、同様にゲート電極引出し部2'がエッチングされて、表示装置用の基板が出来なくなる。第1図(f)(第2図(f)は、第1図(f)のF-F'線に沿った断面図)は、透明導電膜14-1、14-2、14-3を上記のように選択的に形成した後、レジスト15を剥離しないで、透明導電膜14-1、14-2、14-3をマスクの一部として、金属膜12、低抵抗半導体膜7を選択的に形成し、レジスト15を剥離した状態を示す。N⁺a-Si:H膜7のエッチングは、一般にCF₄系ガスによるプラズマエッチングや、フッ酸と硝酸の混合液によるエッチングがある。CF₄系ガスやフッ酸と硝酸の混合液による方法

が出来ると、

第3図(a)~(f)は、本発明の第2実施例であるアクティブマトリクス表示装置用の薄膜トランジスタの断面図である。第3図(a)~(f)は、第2図(a)~(f)に示した本発明の薄膜トランジスタを、より高歩留まりに安定に作るための実施例を示す。第3図(a)は、第2図(a)の製造工程と同じように、ゲート電極2形成後、ゲート電極引出し部2'を金属マスク等でマスクして、ゲート絶縁膜3、高抵抗半導体膜4、低抵抗半導体膜7、金属膜12を連続的に形成した状態を示す。第3図(b)は、レジスト13塗布後、ゲート電極2上とゲート電極引出し部2'上にレジストパターンが形成されるように露光、現像を行った後、金属膜12(例えばCr膜)をエッチングした図を示す。第3図(c)は、金属膜12をエッチング後、連続して、低抵抗半導体膜7(例えばN⁺a-Si:H膜)、高抵抗半導体膜4(例えばa-Si:H膜)を、フッ酸と硝酸の混合液でエッチングした一例を示す。上記混合液でエッチングすると、サイドエッチによって第3

では、a-Si:H膜4とN⁺a-Si:H膜7のエッチングレートが早く、かつエッチングレートがほとんど変わらなく、制御がむずかしい。そこで、光の影響を受けにくい極めて薄いa-Si:H膜4の膜厚(例えば500Å以下)の時は、a-Si:H膜4まで完全にエッチングされてトランジスタが形成されない時がある。そこで、a-Si:H膜4の膜厚500Å以下の時は、N⁺a-Si:H膜7の膜厚は200Å以下で、酸素プラズマエッチまたはスパッタエッチによって薄膜トランジスタを作成する。上記方法だと、a-Si:H膜4は、ダメージが少なく極めて安定に薄膜トランジスタが作成できる。また絶縁膜を開孔する工程がないので、ソース、ドレイン、ゲート電極引出し部の良好なコンタクト特性が得られる。また図示していないが、ドレイン電極8は、延在してドレイン電極配線とドレイン電極引出し部を形成していて、金属膜12と透明導電膜14の二層構造でライン抵抗が小さくなり好ましい。以上の3回のマスク工程でアクティブマトリクス表示装置用の薄膜トランジ

スタが出来ると、第3図(a)のように、N⁺a-Si:H膜7とa-Si:H膜4は、金属膜12(例えばCr膜)よりも小さいパターンに形成される。またCF₄系ガスによるプラズマエッチでも同様のことが起こりやすい。第3図(d)は、金属膜12(例えばCr膜)がN⁺a-Si:H膜7とa-Si:H膜4よりも小さいパターンになるように再度金属膜12をエッチングした状態を示す。第3図(e)は、レジスト13を剥離した状態を示す。その後の工程は、第2図(d)~(f)と同様に行い第3図(f)に示すような薄膜トランジスタが得られる。第3図(f)から分かるように、画素電極を兼ねるITOのソース電極14-2が、トランジスタの端部で断線することなく金属膜12と接続される。

第4図(a)~(f)は、本発明の第3実施例である薄膜トランジスタの断面図である。第4図(a)と第4図(b)は、第3図(a)、(b)と全く同じであるから説明を省略する。第4図(c)は、金属膜12をエッチング後、レジスト13が変形して金属膜12よりも大きいパターンになる温度(例えば150℃以上)

で熱処理した状態を示す。第4図(d)は、低抵抗半
 導体膜7(N⁺a-Si:H膜)と高抵抗半導体膜4
 (a-Si:H膜)をエッチングした状態を示す。
 N⁺a-Si:H膜7とa-Si:H膜4に多少サイドエ
 ッチ(約2μm位)が起きてよいぐらいレジス
 ト13を形成しておく。第4図(e)は、レジスト1
 3を剥離した状態を示す。その後の工程は、第2
 図(d)~(f)と同様に行い第4図(f)に示すような薄膜
 トランジスタが得られ、第3図の実施例と同様の
 効果を得られる。第5図(a)~(e)は、本発明の第4
 実施例であるアクティブマトリクス表示装置用の
 薄膜トランジスタの実施例を示す断面図である。
 第5図(a)~(e)は、第2図(a)~(f)に示した本発明の
 薄膜トランジスタを、より高歩留まりに作るため
 の実施例を示す。第5図(a)は、第2図(a)~(c)まで
 の工程と全く同じで、金属膜12(例えばCr膜)、
 低抵抗半導体膜7(N⁺a-Si:H膜)、高抵抗半
 導体膜4(a-Si:H膜)を選択形成後、レジスト
 を剥離した状態を示す。第5図(b)は、透明導電膜
 14-1、14-2、14-3(例えばITO膜)

を堆積後、レジスト15を塗布、露光、現像して
 ITO膜14-1、14-2、14-3を塩酸を
 主成分とする液でエッチングした状態を示す。I
 TO膜14-1、14-2、14-3は、サイド
 エッチが入りやすく図のように形成されることが
 多い。第5図(c)は、ITO膜14-1、14-2、
 14-3形成後、レジスト15が変形してITO
 膜14-1、14-2、14-3を完全に覆うよ
 うになる温度(例えば150℃以上)で熱処理し
 た状態を示す。第5図(d)は、金属膜12と低抵抗
 半導体膜7をエッチングした状態を示す。第5図
 (e)は、レジスト15を剥離した状態を示す。第5
 図(e)から分かるように、ITO膜14-1、14
 -2、14-3にサイドエッチが発生してパター
 ンが小さくなっても、両素電極を兼ねるソース電
 極17(7、12、14-2)、ドレイン電極1
 6(7、12、14-1)は、金属膜12で決ま
 るので、トランジスタがオフセットゲートになる
 こともなく好ましい。また、ドレイン電極8の配
 線抵抗の増大あるいはパターン細りによる断線等

もなく安定した薄膜トランジスタが得られる。

なお、本発明は第3図と第5図の実施例の組み
 合わせや、第4図と第5図の実施例の組み合わせ
 だとより有効な効果が得られる

(発明の効果)

以上のように、3回のマスク工程(露光、現像
 工程)で、良好なコンタクト特性を持ち、低コス
 ト歩留まりのアクティブマトリクス表示装置用の
 薄膜トランジスタを提供出来る。また、主にブラ
 ズマCVDで作成されるa-Si薄膜トランジスタ
 を例に実施例を記述したが、光CVDやイオンビ
 ーム堆積法による半導体薄膜やp-Si薄膜やSi以
 外の半導体薄膜でも適用でき有効である。

4. 図面の簡単な説明

第1図(a)~(f)は、本発明の第1実施例である薄
 膜トランジスタの製造工程に沿った平面図、第2
 図(a)~(f)は、それぞれ第1図(a)~(f)に対応する断
 面図、第3図(a)~(f)は、本発明の第2実施例であ
 る薄膜トランジスタの製造工程に沿った断面図、

第4図(a)~(f)は、本発明の第3実施例である薄膜
 トランジスタの製造工程に沿った断面図、第5図
 (a)~(e)は、本発明の第4実施例である薄膜ラン
 ジスタの製造工程に沿った断面図、第6図(a)~(e)
 は、従来の薄膜トランジスタの製造工程に沿った
 断面図である。

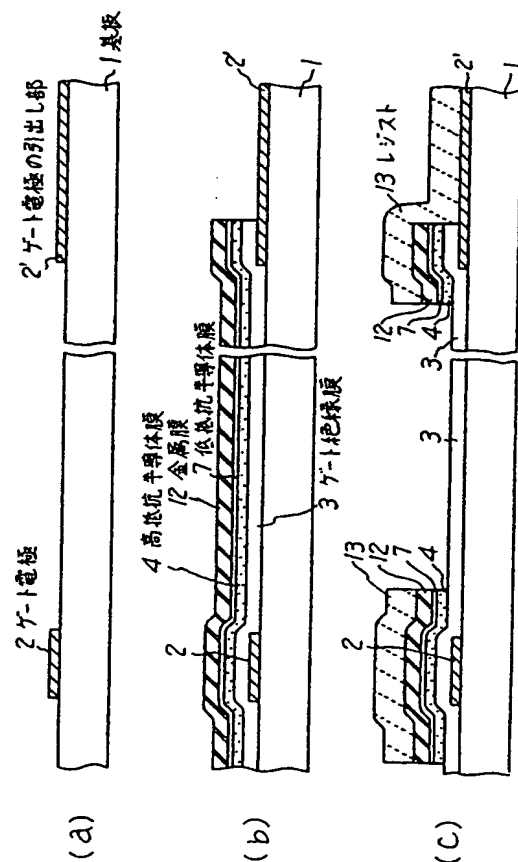
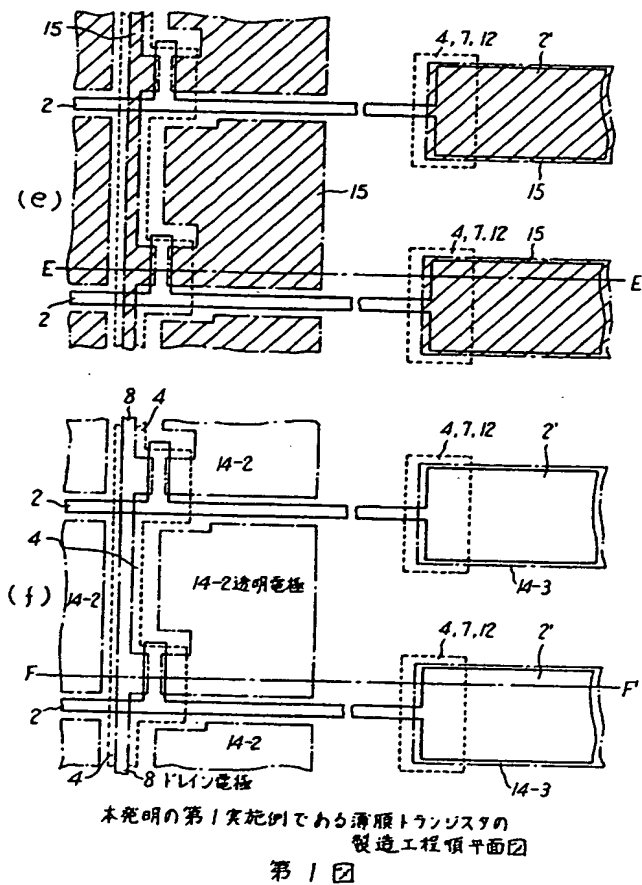
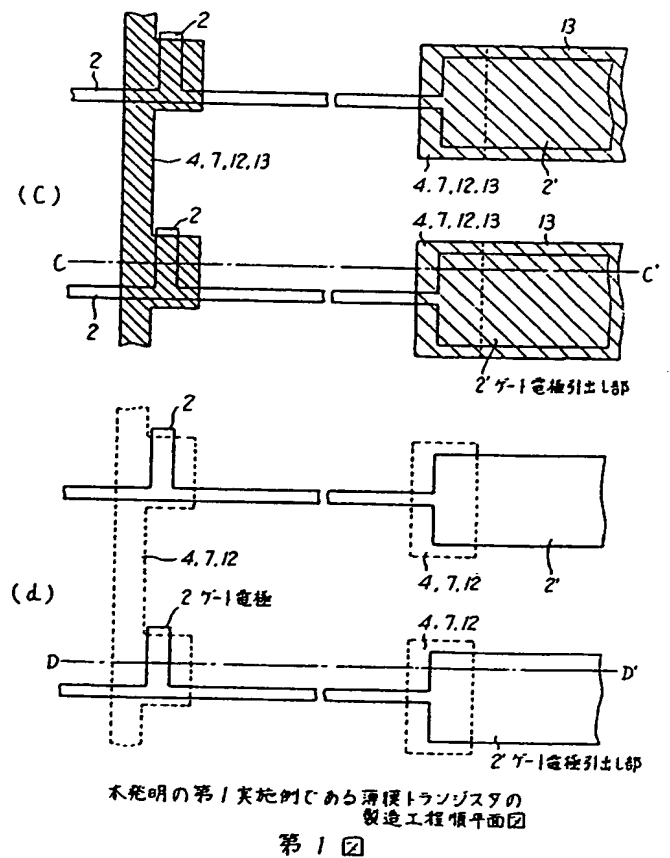
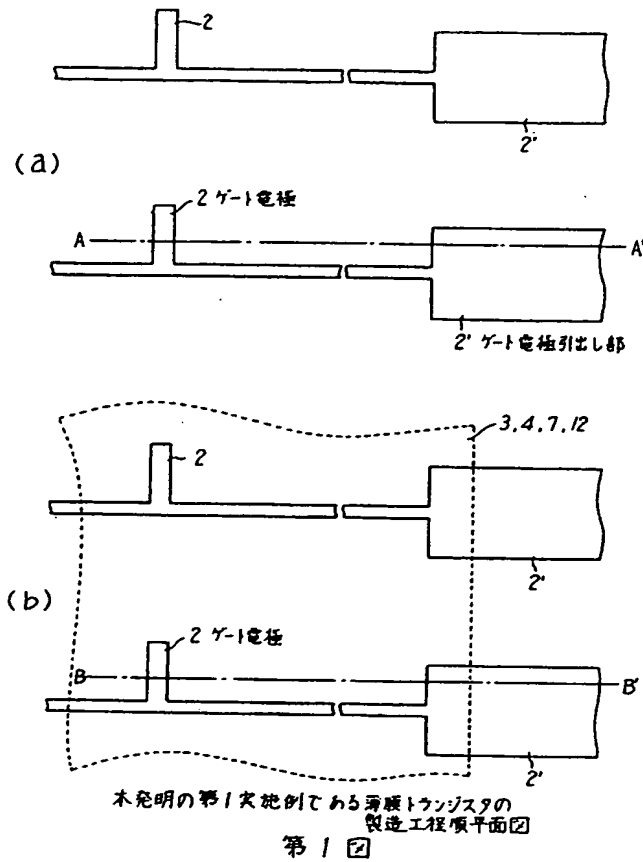
- 1絶縁基板
- 2ゲート電極
- 2'ゲート電極引出し部
- 3ゲート絶縁膜
- 4高抵抗半導体膜
- 7低抵抗半導体膜
- 8ドレイン電極
- 9ソース電極
- 12金属膜
- 14透明導電膜

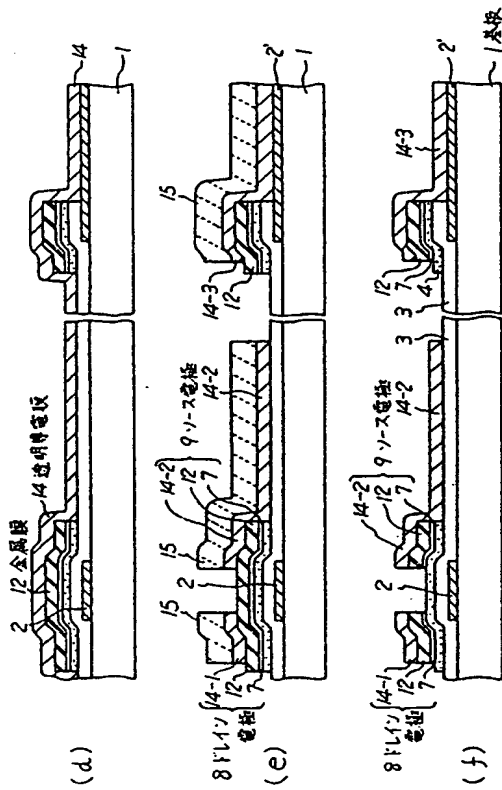
以 上

出願人 セイコー電子工業株式会社

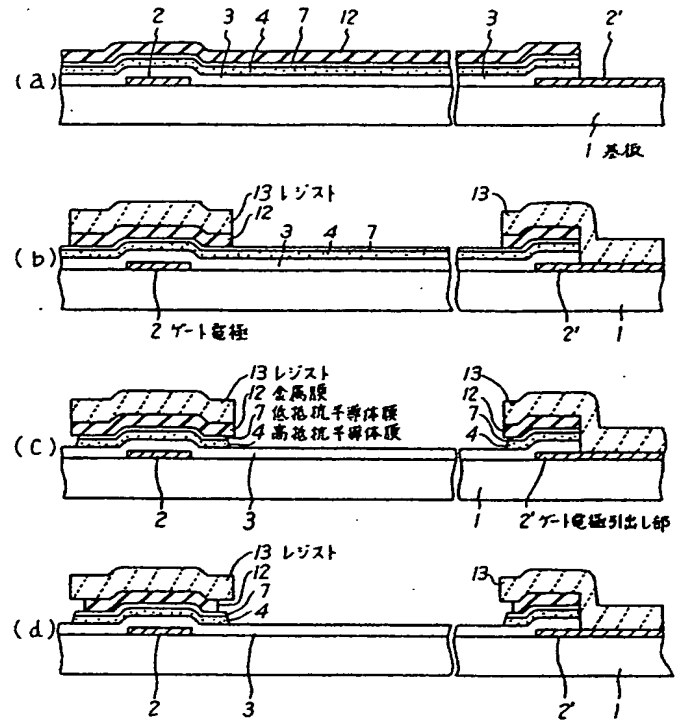
代理人 弁理士 殿 上 務(他1名)



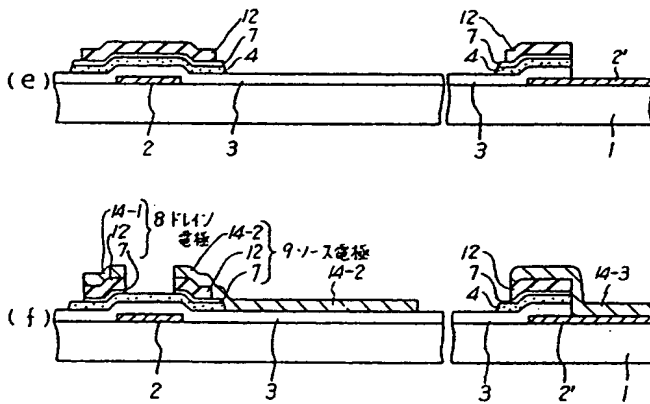




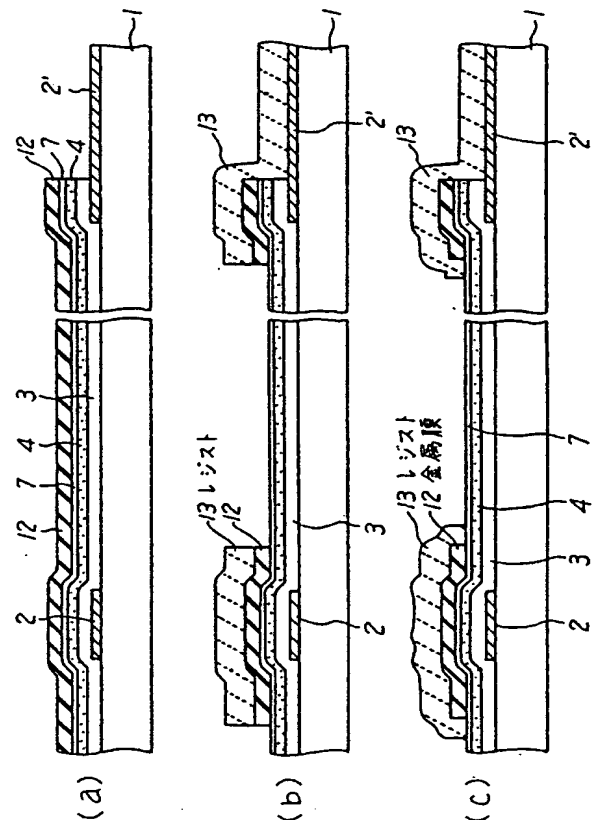
本発明の第1実施例である薄膜トランジスタの製造工程横断面図
第2図



本発明の第2実施例である薄膜トランジスタの製造工程横断面図
第3図



本発明の第2実施例である薄膜トランジスタの製造工程横断面図
第3図



本発明の第3実施例である薄膜トランジスタの製造工程横断面図
第4図

